

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-031672

(43)Date of publication of application : 31.01.2003

(51)Int.Cl.

H01L 21/822

H01L 27/04

H01L 27/06

(21)Application number : 2001-219196

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 19.07.2001

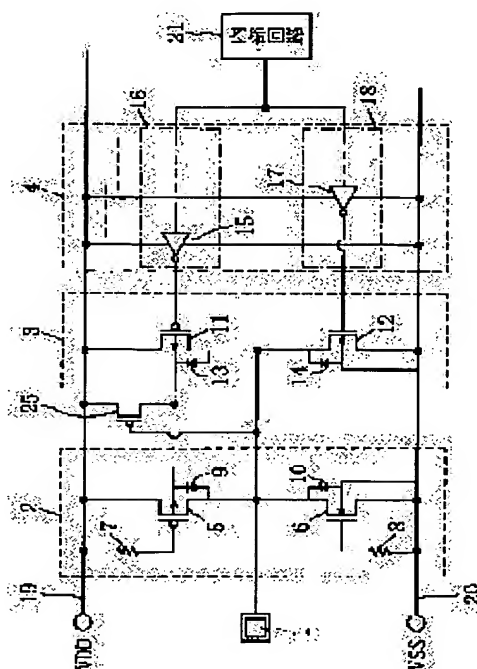
(72)Inventor : ARAI KATSUYA
KAGAMI TOSHIHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress a decrease in the surge resistance of an output circuit due to a potential rise of a power source line in an ESD test of a semiconductor integrated circuit device.

SOLUTION: The semiconductor integrated circuit device comprises an externally connecting pad 1, an electrostatic discharge protective circuit 2, an output circuit 3, an output prebuffer circuit 4, and an internal circuit 21. The integrated circuit device protects the output circuit 3 against a surge invaded from the pad 1 by the protective circuit 2. The integrated circuit device further comprises a PMIS transistor 25 for fixing a substrate potential in which a gate is connected to the pad 1 and provided between an n-type substrate region (n-well) and a power source line 19. In the case of ESD testing, when a positive charge is applied to the pad 1 since the substrate potential fixing PMIS transistor 25 is turned OFF, the potential rise of the power source line 19 is suppressed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-31672

(P2003-31672A)

(43)公開日 平成15年1月31日(2003.1.31)

(51)Int.Cl.⁷

識別記号

F I

テ-マコ-ト*(参考)

H 0 1 L 21/822

H 0 1 L 27/06

3 1 1 C 5 F 0 3 8

27/04

27/04

H 5 F 0 4 8

27/06

3 1 1

審査請求 未請求 請求項の数18 O L (全 19 頁)

(21)出願番号 特願2001-219196(P2001-219196)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(22)出願日 平成13年7月19日(2001.7.19)

(72)発明者 荒井 勝也

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 甲上 歳浩

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外7名)

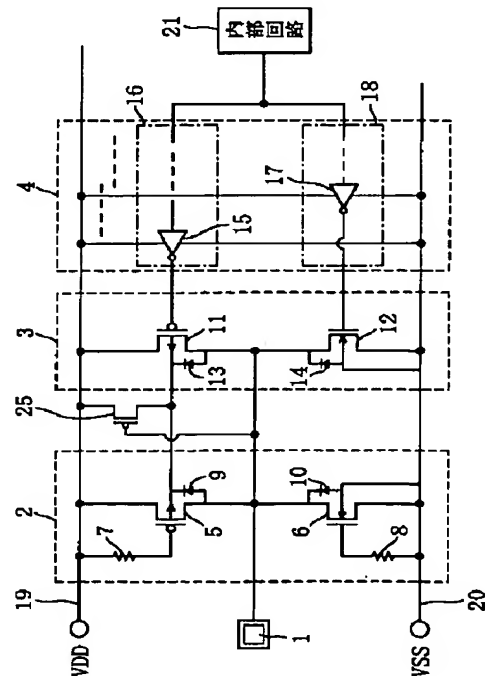
最終頁に続く

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 半導体集積回路装置のESD試験において、電源ラインの電位上昇に起因する出力回路のサージ耐圧の低下を抑制する。

【解決手段】 半導体集積回路装置は、外部接続用パッド1と、静電放電保護回路2と、出力回路3と、出力バッファ回路4と、内部回路21とを備えており、静電放電保護回路2によって外部接続用パッド1から侵入するサージから出力回路3を保護するように構成されている。n型基板領域(nウェル)と電源ライン19との間には、ゲートが外部接続用パッド1に接続される基板電位固定用PMISトランジスタ25が設けられている。ESD試験の際には、外部接続用パッド1に正電荷を印加すると、基板電位固定用PMISトランジスタ25がOFF状態になるので、電源ライン19の電位上昇が抑制される。



【特許請求の範囲】

【請求項 1】 外部接続用パッドと、
上記外部接続用パッドに接続された静電放電保護回路
と、
上記外部接続用パッドに接続された出力回路と、
上記出力回路に接続された出力プリバッファ回路と、
上記静電放電保護回路及び上記出力回路に電源電圧を供給するための第 1 の電源ラインと、
上記出力プリバッファ回路に電源電圧を供給するための
第 2 の電源ラインとを備え、
上記第 1 の電源ラインと上記第 2 の電源ラインとは、電気的に分離されていることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、
上記外部接続用パッドに接続された入力バッファ回路
と、
上記外部接続用パッドと上記入力バッファ回路との間に
介設された保護抵抗体とをさらに備えていることを特徴
とする半導体集積回路装置。

【請求項 3】 請求項 1 又は 2 記載の半導体集積回路装置において、
上記静電放電保護回路は、ソースが上記第 1 の電源ラインに接続され、ドレインが上記外部接続用パッドに接続され、n 型基板領域が上記第 1 の電源ラインに接続されている第 1 の PMIS トランジスタと、ソースが接地ラインに接続され、ドレインが上記外部接続用パッドに接続され、p 型基板領域が上記接地ラインに接続されている第 1 の NMIS トランジスタとを有し、
上記出力プリバッファ回路は、最終段に電源供給用端子が上記第 2 の電源ラインに接続された第 1 のプリバッファを有する第 1 のプリバッファ回路と、最終段に電源供給用端子が上記第 2 の電源ラインに接続された第 2 のプリバッファを有する第 2 のプリバッファ回路とを有し、
上記出力回路は、ソースが上記第 1 の電源ラインに接続され、ドレインが上記外部接続用パッドに接続され、ゲートが上記第 1 のプリバッファの出力端子に接続され、n 型基板領域が上記第 1 の電源ラインに接続されている第 2 の PMIS トランジスタと、ソースが接地ラインに接続され、ドレインが上記外部接続用パッドに接続され、ゲートが上記第 2 のプリバッファの出力端子に接続され、p 型基板領域が上記接地ラインに接続されている第 2 の NMIS トランジスタとを備えていることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 3 記載の半導体集積回路装置において、
上記第 1 の PMIS トランジスタのゲートと上記第 1 の電源ラインとの間に介設された第 1 の抵抗体と、
上記第 1 の NMIS トランジスタのゲートと上記第 1 の電源ラインとの間に介設された第 2 の抵抗体とをさらに

備えていることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 3 記載の半導体集積回路装置において、
ゲートが上記接地ラインに接続され、ソースが上記第 1 の電源ラインに接続され、ドレインが上記第 1 の PMIS トランジスタのゲートに接続された第 3 の PMIS トランジスタと、
上記第 3 の PMIS トランジスタと上記接地ラインとの間に介設された第 1 の抵抗体と、
ゲートが上記第 1 の電源ラインに接続され、ソースが上記接地ラインに接続され、ドレインが上記第 1 の NMIS トランジスタのゲートに接続された第 3 の NMIS トランジスタと、
上記第 3 の NMIS トランジスタのゲートと上記第 1 の電源ラインとの間に介設された第 2 の抵抗体とをさらに備えていることを特徴とする半導体集積回路装置。

【請求項 6】 外部接続用パッドと、
上記外部接続用パッドに接続され、n 型基板領域を有する静電放電保護回路と、
上記外部接続用パッドに接続され、n 型基板領域を有する出力回路と、
上記出力回路に接続された出力プリバッファ回路と、
上記静電放電保護回路及び上記出力回路に電源電圧を供給するための第 1 の電源ラインと、
上記静電放電保護回路及び上記出力回路の n 型基板領域の電位を固定するための第 2 の電源ラインとを備え、
上記第 1 の電源ラインと上記第 2 の電源ラインとは、電気的に分離されていることを特徴とする半導体集積回路装置。

【請求項 7】 請求項 6 記載の半導体集積回路装置において、
上記外部接続用パッドに接続された入力バッファ回路
と、
上記外部接続用パッドと上記入力バッファ回路との間に
介設された保護抵抗体とをさらに備えていることを特徴
とする半導体集積回路装置。

【請求項 8】 請求項 6 又は 7 記載の半導体集積回路装置において、
上記静電放電保護回路は、ソースが上記第 1 の電源ラインに接続され、ドレインが上記外部接続用パッドに接続され、上記 n 型基板領域が上記第 2 の電源ラインに接続されている第 1 の PMIS トランジスタと、ソースが接地ラインに接続され、ドレインが上記外部接続用パッドに接続され、p 型基板領域が上記接地ラインに接続されている第 1 の NMIS トランジスタとを備え、
上記出力プリバッファ回路は、最終段に電源供給用端子が上記第 1 の電源ラインに接続された第 1 のプリバッファを有する第 1 のプリバッファ回路と、最終段に電源供給用端子が上記第 1 の電源ラインに接続された第 2 のプリバッファを有する第 2 のプリバッファ回路とを備え、

10

20

30

40

50

上記出力回路は、ソースが上記第1の電源ラインに接続され、ドレインが上記外部接続用パッドに接続され、ゲートが上記第1のプリバッファの出力端子に接続され、上記n型基板領域が上記第2の電源ラインに接続されている第2のPMISトランジスタと、ソースが接地ラインに接続され、ドレインが上記外部接続用パッドに接続され、ゲートが上記第2のプリバッファの出力端子に接続され、p型基板領域が上記接地ラインに接続されている第2のNMISトランジスタとを備えていることを特徴とする半導体集積回路装置。

【請求項9】 請求項8記載の半導体集積回路装置において、
上記第1のPMISトランジスタのゲートと上記第1の電源ラインとの間に介設された第1の抵抗体と、
上記第1のNMISトランジスタのゲートと上記第1の電源ラインとの間に介設された第2の抵抗体とをさらに備えていることを特徴とする半導体集積回路装置。

【請求項10】 請求項8記載の半導体集積回路装置において、
ゲートが上記接地ラインに接続され、ソースが上記第1の電源ラインに接続され、ドレインが上記第1のPMISトランジスタのゲートに接続された第3のPMISトランジスタと、
上記第3のPMISトランジスタと上記接地ラインとの間に介設された第1の抵抗体と、
ゲートが上記第1の電源ラインに接続され、ソースが上記接地ラインに接続され、ドレインが上記第1のNMISトランジスタのゲートに接続された第3のNMISトランジスタと、
上記第3のNMISトランジスタのゲートと上記第1の電源ラインとの間に介設された第2の抵抗体とをさらに備えていることを特徴とする半導体集積回路装置。

【請求項11】 請求項9又は10記載の半導体集積回路装置において、
ゲートが上記第1の電源ラインに接続され、ソースが上記外部接続用パッドに接続され、ドレインが上記第1のPMISトランジスタのゲートに接続されている第4のPMISトランジスタと、
ゲートが上記第1の電源ラインに接続され、ソースが上記外部接続用パッドに接続され、ドレインが上記第2のPMISトランジスタのゲートに接続されている第5のPMISトランジスタとをさらに備えていることを特徴とする半導体集積回路装置。

【請求項12】 外部接続用パッドと、
上記外部接続用パッドに接続され、n型基板領域を有する静電放電保護回路と、
上記外部接続用パッドに接続され、n型基板領域を有する出力回路と、
上記出力回路に接続された出力プリバッファ回路と、
上記静電放電保護回路、上記出力回路、及び、上記出力

プリバッファ回路に電源電圧を供給するための電源ラインと、
ゲートが上記外部接続用パッドに接続され、ソースが上記電源ラインに接続され、ドレインが上記静電放電保護回路及び上記出力回路のn型基板領域に接続されて、上記静電放電保護回路及び上記出力回路のn型基板領域の電位を固定するための基板電位固定用PMISトランジスタとを備えていることを特徴とする半導体集積回路装置。

10 【請求項13】 請求項12記載の半導体集積回路装置において、
上記外部接続用パッドに接続された入力バッファ回路と、
上記外部接続用パッドと上記入力バッファ回路との間に介設された保護抵抗体とをさらに備えていることを特徴とする半導体集積回路装置。

【請求項14】 請求項12又は13記載の半導体集積回路装置において、
上記静電放電保護回路は、ソースが上記電源ラインに接続され、ドレインが上記外部接続用パッドに接続され、
20 上記n型基板領域が上記基板電位固定用PMISトランジスタのドレインに接続されている第1のPMISトランジスタと、ソースが接地ラインに接続され、ドレインが上記外部接続用パッドに接続され、p型基板領域が上記接地ラインに接続されている第1のNMISトランジスタとを備え、
上記出力プリバッファ回路は、最終段に電源供給用端子が上記電源ラインに接続された第1のプリバッファを有する第1のプリバッファ回路と、最終段に電源供給用端子が上記電源ラインに接続された第2のプリバッファを有する第2のプリバッファ回路とを備え、
30 上記出力回路は、ソースが上記電源ラインに接続され、ドレインが上記外部接続用パッドに接続され、ゲートが上記第1のプリバッファの出力端子に接続され、上記n型基板領域が上記基板電位固定用PMISトランジスタのドレインに接続されている第2のPMISトランジスタと、ソースが接地ラインに接続され、ドレインが上記外部接続用パッドに接続され、ゲートが上記第2のプリバッファの出力端子に接続され、p型基板領域が上記接地ラインに接続されている第2のNMISトランジスタとを備えていることを特徴とする半導体集積回路装置。

【請求項15】 請求項14記載の半導体集積回路装置において、
上記第1のPMISトランジスタのゲートと上記電源ラインとの間に介設された第1の抵抗体と、
上記第1のNMISトランジスタのゲートと上記電源ラインとの間に介設された第2の抵抗体とをさらに備えていることを特徴とする半導体集積回路装置。

【請求項16】 請求項14記載の半導体集積回路装置において、

5

ゲートが上記接地ラインに接続され、ソースが上記電源ラインに接続され、ドレインが上記第1のPMISトランジスタのゲートに接続された第3のPMISトランジスタと、

上記第3のPMISトランジスタと上記接地ラインとの間に介設された第1の抵抗体と、

ゲートが上記電源ラインに接続され、ソースが上記接地ラインに接続され、ドレインが上記第1のNMISトランジスタのゲートに接続された第3のNMISトランジスタと、

上記第3のNMISトランジスタのゲートと上記電源ラインとの間に介設された第2の抵抗体とをさらに備えていることを特徴とする半導体集積回路装置。

【請求項17】 請求項13又は14記載の半導体集積回路装置において、

ゲートが上記電源ラインに接続され、ソースが上記外部接続用パッドに接続され、ドレインが上記第1のPMISトランジスタのゲートに接続されている第4のPMISトランジスタと、

ゲートが上記電源ラインに接続され、ソースが上記外部接続用パッドに接続され、ドレインが上記第2のPMISトランジスタのゲートに接続されている第5のPMISトランジスタとをさらに備えていることを特徴とする半導体集積回路装置。

【請求項18】 請求項17記載の半導体集積回路装置において、

上記第4のPMISトランジスタのゲートと上記電源ラインとの間に介設された第1の時定数調整用抵抗体と、一方の極が上記第4のPMISトランジスタのゲートに接続され、他方の極が上記接地ラインに接続された第1の電位固定用キャパシタと、

上記第5のPMISトランジスタのゲートと上記電源ラインとの間に介設された第2の時定数調整用抵抗体と、一方の極が上記第5のPMISトランジスタのゲートに接続され、他方の極が上記接地ラインに接続された第2の電位固定用キャパシタとをさらに備えていることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、静電放電（ESD）保護回路を備えた半導体集積回路装置に関するものであり、特に出力回路のESD保護能力が向上されたESD保護回路を有するものに関する。

【0002】

【従来の技術】 近年、半導体集積回路装置は、プロセス分野の微細化及び高密度化の技術進歩に応じて高集積化が進み、それに伴い静電放電（以下、サージと称す）によってもたらされるダメージに弱くなってきている。例えば、外部接続用パッドから侵入するサージによって入力回路、出力回路、入出力回路や内部回路などの素子が

6

破壊されたり、素子の性能が低下する可能性が大きくなっている。そのため、外部接続用パッドに付随して、入力回路、出力回路、入出力回路や内部回路をサージから保護するための保護回路が備えられていることが多くなっている。

【0003】 図7は、従来の静電放電保護回路を有する半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図である。図7に示すように、この半導体集積回路装置は、外部接続用パッド101と、静電放電保護回路102と、出力回路103と、出力プリバッファ回路104と、内部回路121とを備えており、静電放電保護回路102によって外部接続用パッド101から侵入するサージから出力回路103を保護するように構成されている。

【0004】 静電放電保護回路102は、外部接続用パッド101と出力回路103との間に設けられており、PMISトランジスタ105と、NMISトランジスタ106と、第1の抵抗体107及び第2の抵抗体108とを有している。そして、PMISトランジスタ105は、電源電圧VDDを供給するための電源ライン119に接続されるソースと、第1の抵抗体107を介在させて電源ライン119に接続されるゲートと、外部接続用パッド101に接続されるドレインと、電源ライン119に接続される基板領域（nウェル）とを有している。また、NMOS型トランジスタ106は、接地電圧VSSを供給するための接地ライン120に接続されるソースと、第2の抵抗体108を介在させて接地ライン120に接続されるゲートと、外部接続用パッド101に接続されるドレインと、接地ライン120に接続される基板領域（pウェル）とを有している。

【0005】 出力回路103は、静電放電保護回路102と出力プリバッファ回路104との間に設けられており、PMISトランジスタ111と、NMISトランジスタ112とを有している。そして、PMISトランジスタ111は、電源ライン119に接続されるソースと、出力プリバッファ回路104の第1のプリバッファ115の出力端子に接続されるゲートと、外部接続用パッド101に接続されるドレインと、電源ライン119に接続される基板領域（nウェル）とを有している。また、NMOS型トランジスタ112は、接地ライン120に接続されるソースと、出力プリバッファ回路104の第2のプリバッファ117の出力端子に接続されるゲートと、外部接続用パッド101に接続されるドレインと、接地ライン120に接続される基板領域（pウェル）とを有している。

【0006】 出力プリバッファ回路104は、内部回路121からの出力信号を増幅するためのものであり、内部回路121と出力回路103との間に設けられており、最終段に第1のプリバッファ115を備えた第1のプリバッファ回路116と、最終段に第2のプリバッファ

10

20

30

40

50

ア 117 を備えた第2のプリバッファ回路 118 とを有している。第1のプリバッファ 115 には、電源ライン 119 に接続される電源電圧供給用端子と、接地ライン 120 に接続される接地端子と、出力回路 103 の PMIS トランジスタ 111 のゲートに接続される出力端子と、内部回路 121 に接続される入力端子とが設けられている。また、第2のプリバッファ 117 には、電源ライン 119 に接続される電源電圧供給用端子と、接地ライン 120 に接続される接地端子と、出力回路 103 の NMIS トランジスタ 112 のゲートに接続される出力端子と、内部回路 121 に接続される入力端子とが設けられている。なお、第1のプリバッファ回路 116 及び第2のプリバッファ回路 118 には、内部回路 121 からの出力信号の増幅度合いに応じて、それぞれ複数のプリバッファが設けられている。そして、第1のプリバッファ回路 116 内の最終段の第1のプリバッファ 115 の出力端子と、第2のプリバッファ回路 118 内の最終段の第2のプリバッファ 117 の出力端子とからは、高低が逆又は同一の出力信号が出力されるように、第1、第2のプリバッファ回路 116、118 は、構成されている。

【0007】以上のように構成された従来の半導体集積回路装置によれば、電源ライン 119 と外部接続用パッド 101 との間に加わるサージは、PMIS トランジスタ 105 がブレークダウンすることにより吸収され、接地ライン 120 と出力外部接続用パッド 101 との間に加わるサージは、NMIS トランジスタ 106 がブレークダウンすることにより吸収される。従って、外部から外部接続用パッド 101 を通じて侵入するサージから出力回路 103 を効果的に保護することができる。

【0008】ところで、半導体集積回路装置は、ユーザーに対してサージ破壊耐圧を保証する必要があるため、ESD 試験規格を満足する必要がある。近年、ESD 試験規格として、MIL 規格に代表される人体帯電モデル (HMB) の ESD 試験が世界標準になってきており、この HMB 試験規格をクリアする必要がある。

【0009】図 8 (a)、(b) は、それぞれ順に、HMB 試験規格による ESD 試験を行うための評価回路の回路図、及び MIL 規格による HMB 放電波形規定を示す波形図である。

【0010】図 8 (a) に示すように、評価回路は、容量 $C = 100 \text{ pF}$ を有する充放電用キャパシタ 151 に対して並列に設けられた 2 つの回路 (図 8 (a) に示す左側の回路及び右側の回路) に、充電用電源 150 と、抵抗 $R = 1.5 \text{ k}\Omega$ を有する放電用抵抗体 153 とを配置している。そして、充放電用キャパシタ 151 の一方の電極に接続された切り換えスイッチ 152 を備え、この切り換えスイッチ 152 によって、充放電用キャパシタ 151 の一方の電極との接続を電圧可変型の充電用電源 150 の高電圧部と放電用抵抗体 153 とに交互に切

り換えるように構成されている。また、充放電用キャパシタ 151 の他方の電極は、図 8 (a) に示す左側の回路においては充電用電源 150 の低電圧部に接続され、図 8 (a) に示す右側の回路においては、放電用抵抗体 153 に接続されている。そして、図 8 (a) に示す右側の回路において、充放電用キャパシタ 151 の他方の電極と放電用抵抗体 153 との間に、被試験デバイス 154 を介在させて、被試験デバイスの ESD 試験を行うように構成されている。

【0011】この評価回路を用いた ESD 試験では、まず切り換えスイッチ 152 により、充放電用キャパシタ 151 の一方の電極を充電用電源 150 に接続すると、図 8 (a) に示す左側の回路が閉回路になり、充電用電源 150 によって充放電用キャパシタ 151 の充電電圧が例えば 4000 V になるように電荷が蓄積される。その後、切り換えスイッチ 152 により、充放電用キャパシタ 151 の一方の電極を放電用抵抗体 153 に接続すると、図 8 (b) に示す右側の回路が閉回路になり、充放電用キャパシタ 151 に蓄積されている電荷が放電用抵抗体 153 を経て被試験デバイス 154 である半導体集積回路装置に印加される。

【0012】このとき、図 8 (b) に示すような HMB 放電波形規定に基づいて試験が行われる。図 8 (b) において、横軸はストレス印加時間、縦軸はサージ電流 (A)、 T_r は立ち上がり時間 (ns)、 T_d は減衰時間 (ns) を表している。

【0013】図 7 に示す従来の半導体集積回路装置において、通常使用状態では、電源ライン 119 及び接地ライン 120 には、それぞれ電源電圧 VDD 及び接地電圧 VSS が接続されている。一方、HMB 試験規格による ESD 試験は、電源ライン 119 は、電位を固定せずオープン状態にし、接地ライン 120 は、接地電圧 VSS に固定した状態で行なわれる。つまり、図 8 (a) に示す評価回路の右側の回路において、充放電用キャパシタ 151 の 2 つの電極間の電圧が、放電用抵抗体 153 と、半導体集積回路装置 (被試験デバイス 154) とに印加される。このとき、入力回路と出力回路との外部接続用パッド (入力回路及び出力回路の外部接続用回路は図示せず) とには、放電用抵抗体 153 によって電圧降下した電圧が印加される。なお、図 8 (a) に示す出力回路の外部接続用パッド 153 には、正又は負の電荷が印加され、ESD 規格を満足するか否かが判定される。

【0014】

【発明が解決しようとする課題】ところが、図 7 に示す従来の半導体集積回路装置に対して、HMB 試験規格 (VSS 接地) による ESD 試験をした場合、出力回路 103 の NMIS トランジスタ 112 が集中的に破壊されたり、耐圧低下が生じるという不具合があった。

【0015】この NMIS トランジスタ 112 の破壊や耐圧低下は、以下の要因によるものであると思われる。

【0016】すなわち、電源ライン119をオープン状態にし、接地ライン120を電圧Vssに固定した状態で、外部接続用パッド101に正電荷を印加した場合、外部接続用パッド101から電源ライン119に至る回路において、PMISトランジスタ105のドレイン領域と基板領域との間のpn接合部が寄生順方向ダイオード109となり、PMISトランジスタ111のドレイン領域と基板領域との間のpn接合部が寄生順方向ダイオード113となる。一方、外部接続用パッド101から接地ライン120に至る回路において、NMISトランジスタ106のドレイン領域と基板領域との間のpn接合部が寄生逆方向ダイオード110となり、NMISトランジスタ112のドレイン領域と基板領域との間のpn接合部が寄生逆方向ダイオード114となる。

【0017】このため、外部接続用パッド101に印加された正電荷は、寄生順方向ダイオード109及び113を通過して電源ライン119に流れ込み、電源ライン119の電位が上昇し、それに伴って第2のプリバッファ117の電源電圧供給用端子の電位が上昇する。このとき、静電放電保護回路102のNMISトランジスタ106のゲートの電位は接地電位に固定されているが、出力回路103のNMISトランジスタ112のゲートの電位は不定状態にある。従って、第2プリバッファ117の電源電圧供給用端子の電位の上昇により、NMISトランジスタ106に比べてNMISトランジスタ112の方が先にトランジスタがON状態となると、静電放電電流（サージ電流）がNMISトランジスタ112に集中して流れるため、NMISトランジスタ112が集中的に破壊されたり、耐圧低下が生じると考えられる。

【0018】本発明の目的は、HMB試験規格によるサージ試験を満足することができるESD保護能力を有する静電放電保護回路を備えた半導体集積回路装置を提供することにある。

【0019】

【課題を解決するための手段】本発明の第1の半導体集積回路装置は、外部接続用パッドと、外部接続用パッドに接続された静電放電保護回路と、外部接続用パッドに接続された出力回路と、出力回路に接続された出力プリバッファ回路と、静電放電保護回路及び出力回路に電源電圧を供給するための第1の電源ラインと、出力プリバッファ回路に電源電圧を供給するための第2の電源ラインとを備え、第1の電源ラインと第2の電源ラインとは、電気的に分離されている。

【0020】これにより、静電放電保護回路及び出力回路に電源電圧を供給するための第1の電源ラインと、出力プリバッファ回路に電源電圧を供給するための第2の電源ラインとが電気的に分離されているので、ESD試験において外部接続用パッドに正電荷を印加することによって第2の電源ラインの電位が上昇することはない。したがって、出力プリバッファ回路内の素子の作動が抑

制され、出力プリバッファ回路内の素子の作動によって、出力回路内のいずれかの素子が先に動作することが抑制される。よって、出力回路内のいずれかの素子のみで電流が集中にすることによるサージ破壊を抑制することができ、サージ耐圧の高い半導体集積回路装置が得られる。

【0021】外部接続用パッドに接続された入力バッファ回路と、外部接続用パッドと入力バッファ回路との間に介設された保護抵抗体とをさらに備えることにより、静電放電保護回路を出力回路及び入力バッファ回路の保護回路として機能させることが可能になる。

【0022】静電放電保護回路が、ソースが第1の電源ラインに接続され、ドレインが外部接続用パッドに接続され、n型基板領域が第1の電源ラインに接続されている第1のPMISトランジスタと、ソースが接地ラインに接続され、ドレインが外部接続用パッドに接続され、p型基板領域が接地ラインに接続されている第1のNMISトランジスタとを有し、出力プリバッファ回路が、最終段に電源電圧供給用端子が第2の電源ラインに接続された第1のプリバッファを有する第1のプリバッファ回路と、最終段に電源電圧供給用端子が第2の電源ラインに接続された第2のプリバッファを有する第2のプリバッファ回路とを有し、出力回路が、ソースが第1の電源ラインに接続され、ドレインが外部接続用パッドに接続され、ゲートが第1のプリバッファの出力端子に接続され、n型基板領域が第1の電源ラインに接続されている第2のPMISトランジスタと、ソースが接地ラインに接続され、ドレインが外部接続用パッドに接続され、ゲートが第2のプリバッファの出力端子に接続され、p型基板領域が接地ラインに接続されている第2のNMISトランジスタとを有していることにより、ESD試験中に、第2のプリバッファからの出力に応じて第1のNMISトランジスタよりも先に第2のNMISトランジスタ作動するのを防止することができる。よって、第2のNMISトランジスタに電流が集中してサージ耐圧が低下するのを抑制することができる。

【0023】第1のPMISトランジスタのゲートと第1の電源ラインとの間に介設された第1の抵抗体と、第1のNMISトランジスタのゲートと第1の電源ラインとの間に介設された第2の抵抗体とをさらに備えることが好ましい。

【0024】ゲートが接地ラインに接続され、ソースが第1の電源ラインに接続され、ドレインが第1のPMISトランジスタのゲートに接続された第3のPMISトランジスタと、第3のPMISトランジスタと接地ラインとの間に介設された第1の抵抗体と、ゲートが第1の電源ラインに接続され、ソースが接地ラインに接続され、ドレインが第1のNMISトランジスタのゲートに接続された第3のNMISトランジスタと、第3のNMISトランジスタのゲートと第1の電源ラインとの間に

10

20

30

40

50

介設された第2の抵抗体とをさらに備えることにより、第3のPMISトランジスタ及び第3のNMISトランジスタをそれぞれ抵抗体として機能させることができ、半導体集積回路装置の占有面積の低減を図ることができる。

【0025】本発明の第2の半導体集積回路装置は、外部接続用パッドと、外部接続用パッドに接続され、n型基板領域を有する静電放電保護回路と、外部接続用パッドに接続され、mn型基板領域を有する出力回路と、出力回路に接続された出力プリバツファ回路と、静電放電保護回路及び出力回路に電源電圧を供給するための第1の電源ラインと、静電放電保護回路及び出力回路のn型基板領域の電位を固定するための第2の電源ラインとを備え、第1の電源ラインと第2の電源ラインとは、電気的に分離されている。

【0026】これにより、静電放電保護回路及び出力回路に電源電圧を供給するための第1の電源ラインと、n型基板領域の電位を固定するための第2の電源ラインとが電気的に分離されているので、ESD試験において外部接続用パッドに正電荷を印加したときに、第1、第2のPMISトランジスタの順方向寄生ダイオードを経て第1の電源ラインに正電荷が流れるのを抑制することができ、第1の電源ラインの電位の上昇を抑制することができる。したがって、出力プリバツファ回路内の素子の作動が抑制され、出力プリバツファ回路内の素子の作動によって、出力回路内のいずれかの素子が先に動作することが抑制される。よって、出力回路内のいずれかの素子のみに電流が集中することによるサージ破壊を抑制することができ、サージ耐圧の高い半導体集積回路装置が得られる。

【0027】外部接続用パッドに接続された入力バツファ回路と、外部接続用パッドと入力バツファ回路との間に介設された保護抵抗体とをさらに備えることにより、静電放電保護回路を出力回路及び入力バツファ回路の保護回路として機能させることが可能になる。

【0028】静電放電保護回路が、ソースが第1の電源ラインに接続され、ドレインが外部接続用パッドに接続され、n型基板領域が第1の電源ラインに接続されている第1のPMISトランジスタと、ソースが接地ラインに接続され、ドレインが外部接続用パッドに接続され、p型基板領域が接地ラインに接続されている第1のNMISトランジスタとを有し、出力プリバツファ回路が、最終段に電源電圧供給用端子が第2の電源ラインに接続された第1のプリバツファを有する第1のプリバツファ回路と、最終段に電源電圧供給用端子が第2の電源ラインに接続された第2のプリバツファを有する第2のプリバツファ回路とを有し、出力回路が、ソースが第1の電源ラインに接続され、ドレインが外部接続用パッドに接続され、ゲートが第1のプリバツファの出力端子に接続され、n型基板領域が第1の電源ラインに接続されてい

る第2のPMISトランジスタと、ソースが接地ラインに接続され、ドレインが外部接続用パッドに接続され、ゲートが第2のプリバツファの出力端子に接続され、p型基板領域が接地ラインに接続されている第2のNMISトランジスタとを有していることにより、ESD試験中に、第2のプリバツファからの出力に応じて第1のNMISトランジスタよりも先に第2のNMISトランジスタ作動するのを防止することができる。よって、第2のNMISトランジスタに電流が集中してサージ耐圧が低下するのを抑制することができる。

【0029】第1のPMISトランジスタのゲートと第1の電源ラインとの間に介設された第1の抵抗体と、第1のNMISトランジスタのゲートと第1の電源ラインとの間に介設された第2の抵抗体とをさらに備えることが好ましい。

【0030】ゲートが接地ラインに接続され、ソースが第1の電源ラインに接続され、ドレインが第1のPMISトランジスタのゲートに接続された第3のPMISトランジスタと、第3のPMISトランジスタと接地ラインとの間に介設された第1の抵抗体と、ゲートが第1の電源ラインに接続され、ソースが接地ラインに接続され、ドレインが第1のNMISトランジスタのゲートに接続された第3のNMISトランジスタと、第3のNMISトランジスタのゲートと第1の電源ラインとの間に介設された第2の抵抗体とをさらに備えることにより、第3のPMISトランジスタ、第3のNMISトランジスタをそれぞれ抵抗体として機能させることができ、半導体集積回路装置の占有面積の低減を図ることができる。

【0031】ゲートが第1の電源ラインに接続され、ソースが外部接続用パッドに接続され、ドレインが第1のPMISトランジスタのゲートに接続されている第4のPMISトランジスタと、ゲートが第1の電源ラインに接続され、ソースが外部接続用パッドに接続され、ドレインが第2のPMISトランジスタのゲートに接続されている第5のPMISトランジスタとをさらに備えることにより、第1、第2のPMISトランジスタを確実にOFF状態に維持することができるので、ESD試験中に、外部接続用パッドに高電圧が印加されたときでも、第1、第2のPMISトランジスタを通じて第1の電源ラインに正の電荷が移動するのを抑制することができる。よって、上述の効果をより確実に発揮することができる。

【0032】本発明の第3の半導体集積回路装置は、外部接続用パッドと、外部接続用パッドに接続され、n型基板領域を有する静電放電保護回路と、外部接続用パッドに接続され、n型基板領域を有する出力回路と、出力回路に接続された出力プリバツファ回路と、静電放電保護回路、出力回路、及び、出力プリバツファ回路に電源電圧を供給するための電源ラインと、ゲートが外部接続

10

20

30

40

50

用パッドに接続され、ソースが電源ラインに接続され、ドレインが静電放電保護回路及び出力回路のn型基板領域に接続されて、静電放電保護回路及び出力回路のn型基板領域の電位を固定するための基板電位固定用PMISトランジスタとを備えている。

【0033】これにより、ESD試験によって外部接続用パッドに正電荷を印加した場合、静電放電保護回路内及び出力回路内のn型基板領域を一方の極とする各寄生順方向ダイオードが形成されても、基板電位固定用PMISトランジスタのゲートは外部接続用パッドに接続されているため、外部接続用パッドに正電荷が印加されると、基板電位固定用PMISトランジスタはOFF状態となる。したがって、静電保護回路や出力回路から電源ラインに電荷が流れ込むことによる電源ラインの電位の上昇を抑制することができる。したがって、出力プリバツファ回路内の素子の作動が抑制され、出力プリバツファ回路内の素子の作動によって、出力回路内のいずれかの素子が先に動作することが抑制される。よって、出力回路内のいずれかの素子のみに電流が集中にすることによるサージ破壊を抑制することができ、サージ耐圧の高い半導体集積回路装置が得られる。

【0034】外部接続用パッドに接続された入力バッファ回路と、外部接続用パッドと入力バッファ回路との間に介設された保護抵抗体とをさらに備えることにより、静電放電保護回路を出力回路及び入力バッファ回路の保護回路として機能させることが可能になる。

【0035】静電放電保護回路が、ソースが電源ラインに接続され、ドレインが外部接続用パッドに接続され、n型基板領域が電源ラインに接続されている第1のPMISトランジスタと、ソースが接地ラインに接続され、ドレインが外部接続用パッドに接続され、p型基板領域が接地ラインに接続されている第1のNMISトランジスタとを有し、出力プリバツファ回路が、最終段に電源電圧供給用端子が第2の電源ラインに接続された第1のプリバツファを有する第1のプリバツファ回路と、最終段に電源電圧供給用端子が電源ラインに接続された第2のプリバツファを有する第2のプリバツファ回路とを有し、出力回路が、ソースが電源ラインに接続され、ドレインが外部接続用パッドに接続され、ゲートが第1のプリバツファの出力端子に接続され、n型基板領域が電源ラインに接続されている第2のPMISトランジスタと、ソースが接地ラインに接続され、ドレインが外部接続用パッドに接続され、ゲートが第2のプリバツファの出力端子に接続され、p型基板領域が接地ラインに接続されている第2のNMISトランジスタとを有していることにより、ESD試験中に、第2のプリバツファからの出力に応じて第1のNMISトランジスタよりも先に第2のNMISトランジスタ作動するのを防止することができる。よって、第2のNMISトランジスタに電流が集中してサージ耐圧が低下するのを抑制することがで

きる。

【0036】第1のPMISトランジスタのゲートと電源ラインとの間に介設された第1の抵抗体と、第1のNMISトランジスタのゲートと電源ラインとの間に介設された第2の抵抗体とをさらに備えることが好ましい。

【0037】ゲートが接地ラインに接続され、ソースが電源ラインに接続され、ドレインが第1のPMISトランジスタのゲートに接続された第3のPMISトランジスタと、第3のPMISトランジスタと接地ラインとの間に介設された第1の抵抗体と、ゲートが電源ラインに接続され、ソースが接地ラインに接続され、ドレインが第1のNMISトランジスタのゲートに接続された第3のNMISトランジスタと、第3のNMISトランジスタのゲートと電源ラインとの間に介設された第2の抵抗体とをさらに備えることにより、第3のPMISトランジスタ、第3のNMISトランジスタをそれぞれ抵抗体として機能させることができ、半導体集積回路装置の占有面積の低減を図ることができる。

【0038】ゲートが電源ラインに接続され、ソースが外部接続用パッドに接続され、ドレインが第1のPMISトランジスタのゲートに接続されている第4のPMISトランジスタと、ゲートが電源ラインに接続され、ソースが外部接続用パッドに接続され、ドレインが第2のPMISトランジスタのゲートに接続されている第5のPMISトランジスタとをさらに備えることにより、第1、第2のPMISトランジスタを確実にOFF状態に維持することができるので、ESD試験中に、外部接続用パッドに高電圧が印加されたときでも、第1、第2のPMISトランジスタを通じて電源ラインに正の電荷が移動するのを抑制することができる。よって、上述の効果をより確実に発揮することができる。

【0039】第4のPMISトランジスタのゲートと電源ラインとの間に介設された第1の時定数調整用抵抗体と、一方の極が第4のPMISトランジスタのゲートに接続され、他方の極が接地ラインに接続された第1の電位固定用キャパシタと、第5のPMISトランジスタのゲートと電源ラインとの間に介設された第2の時定数調整用抵抗体と、一方の極が第5のPMISトランジスタのゲートに接続され、他方の極が接地ラインに接続された第2の電位固定用キャパシタとをさらに備えることにより、ESD試験の開始時から第4、第5のPMISトランジスタのゲートの電圧が低電位に維持されるので、第4、第5のPMISトランジスタにより第1、第2のPMISトランジスタを確実にOFF状態に維持することができる。よって、上述の効果をより確実に発揮することができる。

【0040】

【発明の実施の形態】（第1の実施形態）図1は、本発明の第1の実施形態の静電放電保護回路を有する半導体集積回路装置の出力回路及びその周辺の構成を示す電気

回路図である。図1に示すように、この半導体集積回路装置は、外部接続用パッド1と、静電放電保護回路2と、出力回路3と、出力プリバッファ回路4と、内部回路21とを備えており、静電放電保護回路2によって外部接続用パッド1から侵入するサージから出力回路3を保護するように構成されている。本実施形態の特徴は、互いに電氣的に分離された、第1の電源ライン22と第2の電源ライン23とが設けられている点である。

【0041】静電放電保護回路2は、外部接続用パッド1と出力回路3との間に設けられており、PMISトランジスタ5と、NMISトランジスタ6と、第1の抵抗体7及び第2の抵抗体8とを有している。そして、PMISトランジスタ5は、電源電圧VDDを供給するための第1の電源ライン22に接続されるソースと、第1の抵抗体7を介在させて第1の電源ライン22に接続されるゲートと、外部接続用パッド1に接続されるドレインと、第1の電源ライン22に接続される基板領域(nウェル)とを有している。また、NMOS型トランジスタ6は、接地電圧VSSを供給するための接地ライン20に接続されるソースと、第2の抵抗体8を介在させて接地ライン20に接続されるゲートと、外部接続用パッド1に接続されるドレインと、接地ライン20に接続される基板領域(pウェル)とを有している。

【0042】出力回路3は、静電放電保護回路2と出力プリバッファ回路4との間に設けられており、PMISトランジスタ11と、NMISトランジスタ12とを有している。そして、PMISトランジスタ11は、第1の電源ライン22に接続されるソースと、出力プリバッファ回路4の第1のプリバッファ15の出力端子に接続されるゲートと、外部接続用パッド1に接続されるドレインと、第1の電源ライン22に接続される基板領域(nウェル)とを有している。また、NMISトランジスタ12は、接地ライン20に接続されるソースと、出力プリバッファ回路4の第2のプリバッファ17の出力端子に接続されるゲートと、外部接続用パッド1に接続されるドレインと、接地ライン20に接続される基板領域(pウェル)とを有している。

【0043】出力プリバッファ回路4は、内部回路21からの出力信号を増幅するためのものであり、内部回路21と出力回路3との間に設けられており、最終段に第1のプリバッファ15を備えた第1のプリバッファ回路16と、最終段に第2のプリバッファ17を備えた第2のプリバッファ回路18とを有している。第1のプリバッファ15には、第2の電源ライン23に接続される電源電圧供給用端子と、接地ライン20に接続される接地端子と、出力回路3のPMISトランジスタ11のゲートに接続される出力端子と、内部回路21に接続される入力端子とが設けられている。また、第2のプリバッファ17には、第2の電源ライン23に接続される電源電圧供給用端子と、接地ライン20に接続される接地端子

と、出力回路3のNMISトランジスタ12のゲートに接続される出力端子と、内部回路21に接続される入力端子とが設けられている。なお、第1のプリバッファ回路16及び第2のプリバッファ回路18には、内部回路121からの出力信号の増幅度合いに応じて、それぞれ複数のプリバッファが設けられている。そして、第1のプリバッファ回路16内の最終段の第1のプリバッファ15の出力端子と、第2のプリバッファ回路18内の最終段の第2のプリバッファ17の出力端子とからは、高低が逆又は同一の出力信号が出力されるように、第1、第2のプリバッファ回路16、18は構成されている。

【0044】第1の実施形態における半導体集積回路装置によれば、静電放電保護回路2のPMISトランジスタ5のソースと基板領域(nウェル)、及び、出力回路3のPMISトランジスタ11のソースと基板領域(nウェル)が接続された第1の電源ライン22と、出力プリバッファ回路4の第1、第2のプリバッファ15、17の各電源電圧供給用端子が接続された第2の電源ライン23とは、電氣的に分離されている。このように、第1の電源ライン22と第2の電源ライン23とが電氣的に分離されていることによって、図8(a)に示す評価回路を用いて、図8(b)に示すようなHMB放電波形規定に基づいてESD試験を行う際には、第2のプリバッファ17の電源電圧供給用端子が接続されている第2の電源ライン23の電位の上昇が抑制される。したがって、第2のプリバッファ17からの出力によって出力回路3のNMISトランジスタ12のゲートが上昇してNMISトランジスタ12がON状態になる事態が回避される。よって、NMISトランジスタ12がON状態になることによるNMISトランジスタの集中的な破壊やサージ耐性の低下を防止することができる。

【0045】以上の作用について、さらに詳しく説明する。図1に示す半導体集積回路装置において、ESD試験の際に外部接続用パッド1に正電荷を印加すると、外部接続用パッド1から第1の電源ライン22に至る回路において、PMISトランジスタ5のドレイン領域と基板領域(nウェル)との間のpn接合が寄生順方向ダイオード9となり、PMISトランジスタ11のドレイン領域と基板領域(nウェル)との間のpn接合が寄生順方向ダイオード13となる。一方、外部接続用パッド1から接地ライン20に至る回路において、NMISトランジスタ6のドレイン領域と基板領域(pウェル)との間のpn接合が寄生逆方向ダイオード10となり、NMISトランジスタ12のドレイン領域と基板領域(pウェル)との間のpn接合が寄生逆方向ダイオード14となる。

【0046】このため、外部接続用パッド1に印加された正電荷は、寄生順方向ダイオード9及び13を通して第1の電源ライン22に流れ込み、第1の電源ライン22の電位が上昇する。

【0047】しかしながら、第1のプリバッファ15と第2のプリバッファ17の各電源電圧供給用端子が接続されている第2の電源ライン23は、第1の電源ライン22とは電氣的に分離されているため、電位の上昇を抑制することができる。そのため、第2のプリバッファ17の電源電圧供給用端子の電位の上昇が抑制され、第2の出力バッファ17から出力回路3のNMISトランジスタ12への高電圧信号の出力を防ぐことができる。従って、出力回路3のNMISトランジスタ12が静電放電保護回路2のNMISトランジスタ6よりも先にON状態になるのを防止することができるので、サージ耐圧の低下を防止することができる。

【0048】(第2の実施形態) 図2は、本発明の第2の実施形態の静電放電保護回路を有する半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図である。図2に示すように、この半導体集積回路装置は、外部接続用パッド1と、静電放電保護回路2と、出力回路3と、出力プリバッファ回路4と、内部回路21とを備えており、静電放電保護回路2によって外部接続用パッド1から侵入するサージから出力回路3を保護するように構成されている。本実施形態の特徴は、電源ライン19とは電氣的に分離された基板固定用電源ライン24が設けられている点である。

【0049】静電放電保護回路2は、外部接続用パッド1と出力回路3との間に設けられており、PMISトランジスタ5と、NMISトランジスタ6と、第1の抵抗体7及び第2の抵抗体8とを有している。そして、PMISトランジスタ5は、電源電圧VDDを供給するための電源ライン19に接続されるソースと、第1の抵抗体7を介在させて電源ライン19に接続されるゲートと、外部接続用パッド1に接続されるドレインと、基板電位固定用電源ライン24に接続される基板領域(nウェル)とを有している。また、NMOS型トランジスタ6は、接地電圧VSSを供給するための接地ライン20に接続されるソースと、第2の抵抗体8を介在させて接地ライン20に接続されるゲートと、外部接続用パッド1に接続されるドレインと、接地ライン20に接続される基板領域(pウェル)とを有している。

【0050】出力回路3は、静電放電保護回路2と出力プリバッファ回路4との間に設けられており、PMISトランジスタ11と、NMISトランジスタ12とを有している。そして、PMISトランジスタ11は、電源ライン19に接続されるソースと、出力プリバッファ回路4の第1のプリバッファ15の出力端子に接続されるゲートと、外部接続用パッド1に接続されるドレインと、基板電位固定用電源ライン24に接続される基板領域(nウェル)とを有している。また、NMISトランジスタ12は、接地ライン20に接続されるソースと、出力プリバッファ回路4の第2のプリバッファ17の出力端子に接続されるゲートと、外部接続用パッド1に接

続されるドレインと、接地ライン20に接続される基板領域(pウェル)とを有している。

【0051】出力プリバッファ回路4は、内部回路21からの出力信号を増幅するためのものであり、内部回路21と出力回路3との間に設けられており、最終段に第1のプリバッファ15を備えた第1のプリバッファ回路16と、最終段に第2のプリバッファ17を備えた第2のプリバッファ回路18とを有している。第1のプリバッファ15には、電源ライン19に接続される電源電圧供給用端子と、接地ライン20に接続される接地端子と、出力回路3のPMISトランジスタ11のゲートに接続される出力端子と、内部回路21に接続される入力端子とが設けられている。また、第2のプリバッファ17には、電源ライン19に接続される電源電圧供給用端子と、接地ライン20に接続される接地端子と、出力回路3のNMISトランジスタ12のゲートに接続される出力端子と、内部回路21に接続される入力端子とが設けられている。なお、第1のプリバッファ回路16及び第2のプリバッファ回路18には、内部回路121からの出力信号の増幅度合いに応じて、それぞれ複数のプリバッファが設けられている。そして、第1のプリバッファ回路16内の最終段の第1のプリバッファ15の出力端子と、第2のプリバッファ回路18内の最終段の第2のプリバッファ17の出力端子とからは、高低が逆又は同一の出力信号が出力されるように、第1、第2のプリバッファ回路16、18のプリバッファは構成されている。

【0052】本実施形態の半導体集積回路装置によれば、静電放電保護回路2のPMISトランジスタ5のソース、出力回路3のPMISトランジスタ11のソース、及び、出力プリバッファ回路4の第1、第2のプリバッファ15、17の各電源電圧供給用端子が接続された電源ライン19と、静電放電保護回路2のPMISトランジスタ5の基板領域(nウェル)、及び、出力回路3のPMISトランジスタ11の基板領域(nウェル)が接続された基板電位固定用電源ライン24とは、電氣的に分離されている。このように、電源ライン19と基板電位固定用電源ライン24とが電氣的に分離されていることによって、図8(a)に示す評価回路を用いて、図8(b)に示すようなHMB放電波形規定に基づいてESD試験を行う際には、第2のプリバッファ17の電源電圧供給用端子が接続されている電源ライン19の電位の上昇が抑制される。したがって、第2のプリバッファ17からの出力によって出力回路3のNMISトランジスタ12のゲートが上昇してNMISトランジスタ12がON状態になる事態が回避される。よって、NMISトランジスタ12がON状態になることによるNMISトランジスタの集中的な破壊やサージ耐圧の低下を防止することができる。

【0053】以上の作用について、さらに詳しく説明す

10

20

30

40

50

る。図2に示す半導体集積回路装置において、ESD試験の際に外部接続用パッド1に正電荷を印加すると、外部接続用パッド1から基板電位固定用電源ライン24に至る回路において、PMISトランジスタ5のドレイン領域と基板領域(nウェル)との間のpn接合が寄生順方向ダイオード9となり、PMISトランジスタ11のドレイン領域と基板領域(nウェル)との間のpn接合が寄生順方向ダイオード13となる。なお、外部接続用パッド1から接地ライン20に至る回路において、NMISトランジスタ6のドレイン領域と基板領域(pウェル)との間のpn接合が寄生逆方向ダイオード10となり、NMISトランジスタ12のドレイン領域と基板領域(pウェル)との間のpn接合が寄生逆方向ダイオード14となる。

【0054】つまり、図2に示す寄生順方向ダイオード9及び寄生順方向ダイオード13とは、外部接続用パッド1と電源ライン19との間に形成されるのではなく、外部接続用パッド1と基板電位固定用電源ライン24との間に形成される。このため、外部接続用パッド1に印加された正電荷は、寄生順方向ダイオード9及び13を

通って基板電位固定用電源ライン24に流れ込み、基板電位固定用電源ライン24の電位が上昇する。

【0055】一方、外部接続用パッド1と電源ライン19との間には、寄生順方向ダイオードが形成されないため、電源ライン19の電位の上昇を抑制することができる。そのため、第2のプリバッファ17から出力回路3のNMISトランジスタ12への高電圧信号の出力を防ぐことができる。従って、出力回路3のNMISトランジスタ12が静電放電保護回路2のNMISトランジスタ6よりも先にON状態になるのを防止することができるので、サージ耐性の低下を防止することができる。

【0056】(第3の実施形態) 図3は、本発明の第3の実施形態の静電放電保護回路を有する半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図である。図3に示すように、この半導体集積回路装置は、外部接続用パッド1と、静電放電保護回路2と、出力回路3と、出力プリバッファ回路4と、内部回路21とを備えており、静電放電保護回路2によって外部接続用パッド1から侵入するサージから出力回路3を保護するように構成されている。本実施形態の特徴は、基板電位固定用PMISトランジスタ25が設けられている点である。

【0057】静電放電保護回路2は、外部接続用パッド1と出力回路3との間に設けられており、PMISトランジスタ5と、NMISトランジスタ6と、第1の抵抗体7及び第2の抵抗体8とを有している。そして、PMISトランジスタ5は、電源電圧VDDを供給するための電源ライン19に接続されるソースと、第1の抵抗体7を介在させて電源ライン19に接続されるゲートと、外部接続用パッド1に接続されるドレインと、基板電位

固定用PMISトランジスタ25のドレインに接続される基板領域(nウェル)とを有している。また、NMOS型トランジスタ6は、接地電圧VSSを供給するための接地ライン20に接続されるソースと、第2の抵抗体8を介在させて接地ライン20に接続されるゲートと、外部接続用パッド1に接続されるドレインと、接地ライン20に接続される基板領域(pウェル)とを有している。

【0058】出力回路3は、静電放電保護回路2と出力プリバッファ回路4との間に設けられており、PMISトランジスタ11と、NMISトランジスタ12とを有している。そして、PMISトランジスタ11は、電源ライン19に接続されるソースと、出力プリバッファ回路4の第1のプリバッファ15の出力端子に接続されるゲートと、外部接続用パッド1に接続されるドレインと、基板電位固定用PMISトランジスタ25のドレインに接続される基板領域(nウェル)とを有している。また、NMISトランジスタ12は、接地ライン20に接続されるソースと、出力プリバッファ回路4の第2のプリバッファ17の出力端子に接続されるゲートと、外部接続用パッド1に接続されるドレインと、接地ライン20に接続される基板領域(pウェル)とを有している。

【0059】出力プリバッファ回路4は、内部回路21からの出力信号を増幅するためのものであり、内部回路21と出力回路3との間に設けられており、最終段に第1のプリバッファ15を備えた第1のプリバッファ回路16と、最終段に第2のプリバッファ17を備えた第2のプリバッファ回路18とを有している。第1のプリバッファ15には、電源ライン19に接続される電源電圧供給用端子と、接地ライン20に接続される接地端子と、出力回路3のPMISトランジスタ11のゲートに接続される出力端子と、内部回路21に接続される入力端子とが設けられている。また、第2のプリバッファ17には、電源ライン19に接続される電源電圧供給用端子と、接地ライン20に接続される接地端子と、出力回路3のNMISトランジスタ12のゲートに接続される出力端子と、内部回路21に接続される入力端子とが設けられている。なお、第1のプリバッファ回路16及び第2のプリバッファ回路18には、内部回路121からの出力信号の増幅度合いに応じて、それぞれ複数のプリバッファが設けられている。そして、第1のプリバッファ回路16内の最終段の第1のプリバッファ15の出力端子と、第2のプリバッファ回路18内の最終段の第2のプリバッファ17の出力端子とからは、高低が逆又は同一の出力信号が出力されるように、第1、第2のプリバッファ回路16、18は構成されている。

【0060】そして、基板電位固定用PMISトランジスタ25のゲートは外部接続用パッド1に接続され、ソースは電源ライン19に接続されている。

【0061】本実施形態の半導体集積回路装置によれば、静電放電保護回路2のPMISトランジスタ5の基板領域(nウェル)、及び、出力回路3のPMISトランジスタ11の基板領域(nウェル)は、基板電位固定用PMISトランジスタ25を介在させて電源ライン19に接続されている。このように、PMISトランジスタ5、11の基板領域と電源ライン19との間に基板電池固定用PMISトランジスタ25が介在していること

によって、図8(a)に示す評価回路を用いて、図8(b)に示すようなHMB放電波形規定に基づいてESD試験を行う際には、第2のプリバッファ17の電源電圧供給用端子が接続されている電源ライン19の電位の上昇が抑制される。したがって、第2のプリバッファ17からの出力によって出力回路3のNMISトランジスタ12のゲートが上昇してNMISトランジスタ12がON状態になる事態が回避される。よって、NMISトランジスタ12がON状態になることによるNMISトランジスタの集中的な破壊やサージ耐性の低下を防止することができる。

【0062】以上の作用について、さらに詳しく説明する。図3に示す半導体集積回路装置において、ESD試験の際に外部接続用パッド1に正電荷を印加すると、外部接続用パッド1から基板電位固定用PMISトランジスタ25を経て電源ライン19に至る回路において、PMISトランジスタ5のドレイン領域と基板領域(nウェル)との間のpn接合が寄生順方向ダイオード9となり、PMISトランジスタ11のドレイン領域と基板領域(nウェル)との間のpn接合が寄生順方向ダイオード13となる。なお、外部接続用パッド1から接地ライン20に至る回路において、NMISトランジスタ6のドレイン領域と基板領域(pウェル)との間のpn接合が寄生逆方向ダイオード10となり、NMISトランジスタ12のドレイン領域と基板領域(pウェル)との間のpn接合が寄生逆方向ダイオード14となる。

【0063】このとき、基板電位固定用PMISトランジスタ25のゲートは外部接続用パッド1に接続されているため、外部接続用パッド1に正電荷が印加されると、基板電位固定用PMISトランジスタ25はOFF状態となるため、ドレインの電荷が電源ライン19に流れ込むことはなく、電源ライン19の電位の上昇を抑制することができる。そのため、第2のプリバッファ17ら出力回路3のNMISトランジスタ12への高電圧信号の出力を防ぐことができる。従って、出力回路3のNMISトランジスタ12が静電放電保護回路2のNMISトランジスタ6よりも先にON状態になるのを防止することができるので、サージ耐性の低下を防止することができる。

【0064】特に、上述の第1、第2の実施形態では、電源ラインの数に応じて電源ピンの数が増大するが、本実施形態では電源ピンの数を増大させることなく、サ-

ージ耐性の低下を抑制することができるという利点がある。

【0065】ただし、実使用状態において、外部接続用パッド1に低電圧が印加されている場合には、基板電位固定用PMISトランジスタ25がON状態となって不具合はないが、外部接続用パッド1に高電圧が印加されている場合には、基板電位固定用PMISトランジスタ25がOFF状態になるので、半導体集積回路装置の動作に支障を来さないよう配慮する必要がある。ここで、外部接続用端子1に高電圧が印加されて、基板電位固定用PMISトランジスタ25がOFF状態にあるとき、寄生順方向ダイオード9、13を経た正の電荷が基板電位固定用PMISトランジスタ25のドレインに流れ込み、PMISトランジスタ5、11の基板領域(nウェル)から基板電位固定用PMISトランジスタ25のドレインに至るノードの電位を上昇させるので、PMISトランジスタ5、11の基板電位が固定されることになる。よって、実使用においても不具合は生じない。

【0066】(第4の実施形態)図4は、本発明の第4の実施形態の静電放電保護回路を有する半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図である。図4に示すように、この半導体集積回路装置は、外部接続用パッド1と、静電放電保護回路2と、出力回路3と、出力プリバッファ回路4と、内部回路21とを備えており、静電放電保護回路2によって外部接続用パッド1から侵入するサージから出力回路3を保護するように構成されている。本実施形態の特徴は、第3の実施形態の構成に加えて、ゲート電位固定用PMISトランジスタ26、27が設けられている点である。

【0067】静電放電保護回路2は、外部接続用パッド1と出力回路3との間に設けられており、PMISトランジスタ5と、NMISトランジスタ6と、第1の抵抗体7及び第2の抵抗体8と、ゲート電位固定用PMISトランジスタ26とを有している。そして、PMISトランジスタ5は、電源電圧VDDを供給するための電源ライン19に接続されるソースと、第1の抵抗体7を介在させて電源ライン19に接続されるゲートと、外部接続用パッド1に接続されるドレインと、基板電位固定用PMISトランジスタ25のドレインに接続される基板領域(nウェル)とを有している。また、NMOS型トランジスタ6は、接地電圧VSSを供給するための接地ライン20に接続されるソースと、第2の抵抗体8を介在させて接地ライン20に接続されるゲートと、外部接続用パッド1に接続されるドレインと、接地ライン20に接続される基板領域(pウェル)とを有している。さらに、ゲート電位固定用PMISトランジスタ26は、PMISトランジスタ5のゲートに接続されるドレインと、電源ライン19に接続されるゲートと、外部接続用パッド1に接続されるソースとを有している。

【0068】出力回路3は、静電放電保護回路2と出力

プリバッファ回路4との間に設けられており、PMISトランジスタ11と、NMISトランジスタ12と、ゲート電位固定用PMISトランジスタ27とを有している。そして、PMISトランジスタ11は、電源ライン19に接続されるソースと、出力プリバッファ回路4の第1のプリバッファ15の出力端子に接続されるゲートと、外部接続用パッド1に接続されるドレインと、基板電位固定用PMISトランジスタ25のドレインに接続される基板領域（nウェル）とを有している。また、NMISトランジスタ12は、接地ライン20に接続されるソースと、出力プリバッファ回路4の第2のプリバッファ17の出力端子に接続されるゲートと、外部接続用パッド1に接続されるドレインと、接地ライン20に接続される基板領域（pウェル）とを有している。さらに、ゲート電位固定用PMISトランジスタ27は、PMISトランジスタ11のゲートに接続されるドレインと、電源ライン19に接続されるゲートと、外部接続用パッド1に接続されるソースとを有している。

【0069】出力プリバッファ回路4は、内部回路21からの出力信号を増幅するためのものであり、内部回路21と出力回路3との間に設けられており、最終段に第1のプリバッファ15を備えた第1のプリバッファ回路16と、最終段に第2のプリバッファ17を備えた第2のプリバッファ回路18とを有している。第1のプリバッファ15には、電源ライン19に接続される電源電圧供給用端子と、接地ライン20に接続される接地端子と、出力回路3のPMISトランジスタ11のゲートに接続される出力端子と、内部回路21に接続される入力端子とが設けられている。また、第2のプリバッファ17には、電源ライン19に接続される電源電圧供給用端子と、接地ライン20に接続される接地端子と、出力回路3のNMISトランジスタ12のゲートに接続される出力端子と、内部回路21に接続される入力端子とが設けられている。なお、第1のプリバッファ回路16及び第2のプリバッファ回路18には、内部回路121からの出力信号の増幅度合いに応じて、それぞれ複数のプリバッファが設けられている。そして、第1のプリバッファ回路16内の最終段の第1のプリバッファ15の出力端子と、第2のプリバッファ回路18内の最終段の第2のプリバッファ17の出力端子とからは、高低が逆又は同一の出力信号が出力されるように、第1、第2のプリバッファ回路16、18は構成されている。

【0070】そして、基板電位固定用PMISトランジスタ25のゲートは外部接続用パッド1に接続され、ソースは電源ライン19に接続されている。

【0071】本実施形態の半導体集積回路装置によれば、第3の実施形態と同じ構成を有している部分によって、第3の実施形態と同じ効果を発揮することができる。加えて、本実施形態では、以下の作用が生じる。

【0072】ESD試験によって外部接続用パッド1に

正電荷を印加した場合、PMISトランジスタ26およびPMISトランジスタ27は、それぞれ、ゲートが電源ライン19に接続され、ドレインが外部接続用パッド1に接続されているので、ゲート電位よりもドレイン電位の方が高くなり、PMISトランジスタ26およびPMISトランジスタ27はON状態となり、外部接続用パッド1に印加された電位は、PMISトランジスタ5のゲートと、PMISトランジスタ11のゲートとに伝えられる。よって、PMISトランジスタ5及びPMISトランジスタ11において、それぞれ、ドレインとゲートとの電圧が等しくなり、PMISトランジスタ5とPMISトランジスタ11はOFF状態となって、電源ライン19の電位上昇を防ぐことができる。従って、寄生順方向ダイオード9、13及びPMISトランジスタ5、9から電源ライン19へのサージ電荷の回り込み経路を遮断することができる。

【0073】すなわち、第3の実施形態では、寄生順方向ダイオード9、13から電源ライン19へのサージ電荷の回り込みを遮断しうるが、状況によっては、PMISトランジスタ5、11を経たサージ電荷が電源ライン19に回り込むおそれがある。それに対し、本実施形態では、PMISトランジスタ5、9から電源ライン19へのサージ電荷の回り込み経路をも遮断することができる。

【0074】よって、図8(a)に示す評価回路を用いて、図8(b)に示すようなHMB放電波形規定に基づいてESD試験を行う際には、第2のプリバッファ17の電源電圧供給用端子が接続されている電源ライン19の電位の上昇をより確実に抑制することができる。したがって、第2のプリバッファ17からの出力によって出力回路3のNMISトランジスタ12のゲートが上昇してNMISトランジスタ12がON状態になる事態が確実に回避される。よって、NMISトランジスタ12がON状態になることによるNMISトランジスタの集中的な破壊やサージ耐圧の低下を確実に防止することができる。

【0075】特に、上述の第1、第2の実施形態では、電源ラインの数に応じて電源ピンが増大するが、本実施形態では電源ピンの数を増大させることなく、サージ耐圧の低下を抑制することができるという利点がある。

【0076】また、本実施形態においても、第3の実施形態と同様の作用により、PMISトランジスタ5、11の基板電位が固定されることになる。よって、実使用においても不具合は生じない。

【0077】なお、第1の実施形態及び第2の実施形態における静電放電保護回路2及び出力回路3に、本実施形態と同様に、ゲート電位固定用PMISトランジスタ26及び27を設けても同様な効果を得ることができる。

【0078】(第5の実施形態) 図5は、本発明の第5の実施形態の静電放電保護回路を有する半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図である。図5に示すように、この半導体集積回路装置は、外部接続用パッド1と、静電放電保護回路2と、出力回路3と、出力プリバッファ回路4と、内部回路21とを備えており、静電放電保護回路2によって外部接続用パッド1から侵入するサージから出力回路3を保護するように構成されている。本実施形態の特徴は、第4の実施形態の構成に加えて、ゲート電位固定用PMISトランジスタ26、27の各ゲートに接続される電位固定用キャパシタ41、42と、時定数調整用抵抗体43、44とが設けられている点である。

【0079】静電放電保護回路2は、外部接続用パッド1と出力回路3との間に設けられており、PMISトランジスタ5と、NMISトランジスタ6と、第1の抵抗体7及び第2の抵抗体8と、ゲート電位固定用PMISトランジスタ26と、電位固定用キャパシタ41と、時定数調整用抵抗体43とを有している。そして、PMISトランジスタ5は、電源電圧VDDを供給するための電源ライン19に接続されるソースと、第1の抵抗体7を介在させて電源ライン19に接続されるゲートと、外部接続用パッド1に接続されるドレインと、基板電位固定用PMISトランジスタ25のドレインに接続される基板領域(nウェル)とを有している。また、NMOS型トランジスタ6は、接地電圧VSSを供給するための接地ライン20に接続されるソースと、第2の抵抗体8を介在させて接地ライン20に接続されるゲートと、外部接続用パッド1に接続されるドレインと、接地ライン20に接続される基板領域(pウェル)とを有している。さらに、ゲート電位固定用PMISトランジスタ26は、PMISトランジスタ5のゲートに接続されるドレインと、時定数調整用抵抗体43を介在させて電源ライン19に接続されるゲートと、外部接続用パッド1に接続されるソースとを有している。さらに、電位固定用キャパシタ41の一方の電極はゲート電位固定用PMISトランジスタ26のゲートに接続され、他方の電極は接地に接続されている。

【0080】出力回路3は、静電放電保護回路2と出力プリバッファ回路4との間に設けられており、PMISトランジスタ11と、NMISトランジスタ12と、ゲート電位固定用PMISトランジスタ27と、電位固定用キャパシタ42と、時定数調整用抵抗体44とを有している。そして、PMISトランジスタ11は、電源ライン19に接続されるソースと、出力プリバッファ回路4の第1のプリバッファ15の出力端子に接続されるゲートと、外部接続用パッド1に接続されるドレインと、基板電位固定用PMISトランジスタ25のドレインに接続される基板領域(nウェル)とを有している。また、NMISトランジスタ12は、接地ライン20に接

続されるソースと、出力プリバッファ回路4の第2のプリバッファ17の出力端子に接続されるゲートと、外部接続用パッド1に接続されるドレインと、接地ライン20に接続される基板領域(pウェル)とを有している。さらに、ゲート電位固定用PMISトランジスタ27は、PMISトランジスタ11のゲートに接続されるドレインと、時定数調整用抵抗体44を介在させて電源ライン19に接続されるゲートと、外部接続用パッド1に接続されるソースとを有している。さらに、電位固定用キャパシタ42の一方の電極はゲート電位固定用PMISトランジスタ27のゲートに接続され、他方の電極は接地に接続されている。

【0081】出力プリバッファ回路4は、内部回路21からの出力信号を増幅するためのものであり、内部回路21と出力回路3との間に設けられており、最終段に第1のプリバッファ15を備えた第1のプリバッファ回路16と、最終段に第2のプリバッファ17を備えた第2のプリバッファ回路18とを有している。第1のプリバッファ15には、電源ライン19に接続される電源電圧供給用端子と、接地ライン20に接続される接地端子と、出力回路3のPMISトランジスタ11のゲートに接続される出力端子と、内部回路21に接続される入力端子とが設けられている。また、第2のプリバッファ17には、電源ライン19に接続される電源電圧供給用端子と、接地ライン20に接続される接地端子と、出力回路3のNMISトランジスタ12のゲートに接続される出力端子と、内部回路21に接続される入力端子とが設けられている。なお、第1のプリバッファ回路16及び第2のプリバッファ回路18には、内部回路21からの出力信号の増幅度合いに応じて、それぞれ複数のプリバッファが設けられている。そして、第1のプリバッファ回路16内の最終段の第1のプリバッファ15の出力端子と、第2のプリバッファ回路18内の最終段の第2のプリバッファ17の出力端子とからは、高低が逆又は同一の出力信号が出力されるように、第1、第2のプリバッファ回路16、18は構成されている。

【0082】そして、基板電位固定用PMISトランジスタ25のゲートは外部接続用パッド1に接続され、ソースは電源ライン19に接続されている。

【0083】本実施形態の半導体集積回路装置によれば、第4の実施形態と同じ構成を有している部分によって、第4の実施形態と同じ効果を発揮することができる。加えて、本実施形態では、以下の作用が生じる。

【0084】第4の実施形態においては、ゲート電位固定用PMISトランジスタ26、27のゲートが電源ライン19に接続されているが、ESD試験の際には、電源ライン19がフローティングにあることから、ゲート電位固定用PMISトランジスタ26、27がON状態になるのが遅れるおそれがある。それに対し、本実施形態では、ESD試験の開始当初から、ゲート電位固定用

PMISトランジスタ26、27のゲートが電位固定用キャパシタ41、42によって接地電位に近い低電位に保持されるので、ゲート電位固定用PMISトランジスタ26、27が迅速にON状態になる。したがって、PMISトランジスタ5、11がすぐにOFF状態となって、電源ライン19の電位上昇を防ぐことができる。従って、寄生順方向ダイオード9、13及びPMISトランジスタ5、9から電源ライン19へのサージ電荷の回り込み経路を遮断することができる。

【0085】また、ある程度の時間が経過すると、フローティング状態にある電源ライン19からの電荷の移動によって、ゲート電位固定用PMISトランジスタ26、27のゲートの電位が高くなることもあり得るが、ゲート電位が上昇するまでにESD試験が終了するように、時定数調整用抵抗体43、44の抵抗を設定しておけばより確実に電源ライン19の電位上昇を防ぐことができる。

【0086】また、本実施形態においても、第4の実施形態と同様の作用により、PMISトランジスタ5、11の基板電位が固定されることになる。よって、実使用においても不具合は生じない。

【0087】なお、第2の実施形態における静電放電保護回路2及び出力回路3に、本実施形態と同様に、ゲート電位固定用PMISトランジスタ26及び27を設けた場合にも、本実施形態と同様に、電位固定用キャパシタ41、42と、時定数調整用抵抗体43、44とを設けることにより、同様の効果を得ることができる。

【0088】(実施形態の変形例) 図6は、本発明の第1の実施形態の変形例に係る静電放電保護回路を有する半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図である。

【0089】図6に示すように、この変形例の半導体集積回路装置は、基本的には第1の実施形態と同様に、外部接続用パッド1と、静電放電保護回路2と、出力回路3と、出力プリバッファ回路4と、内部回路21とを有し、静電放電保護回路2によって外部接続用パッド1から侵入するサージから出力回路3を保護するように構成されている。

【0090】本変形例の第1の実施形態との第1の相違点は、第1の実施形態における静電放電保護回路2の第1の抵抗体7、及び、第2の抵抗体8の代わりに、PMISトランジスタ28と抵抗体29、及び、NMISトランジスタ30と抵抗体31を用いている点である。PMISトランジスタ28は、PMISトランジスタ5のゲートに接続されるドレインと、抵抗体29を介在させて接地ライン20に接続されるゲートと、第1の電源ライン22に接続されるソースとを有している。また、NMISトランジスタ30は、NMISトランジスタ6のゲートに接続されるドレインと、抵抗体31を介在させて第1の電源ライン22に接続されるゲートと、接地ラ

イン20に接続されるソースとを有している。

【0091】このように、抵抗体をMISトランジスタによって代用することにより、半導体集積回路装置の占有面積の低減を図ることができる。

【0092】なお、上記第2～第4の実施形態においても、第1の抵抗体7、及び、第2の抵抗体8の代わりに、本実施形態のようにPMISトランジスタ28と抵抗体29、及び、NMISトランジスタ30と抵抗体31を用いて構成すれば、同様の効果を得ることができる。

【0093】さらに、本変形例の第1の実施形態との第2の相違点は、外部接続用パッド1に保護抵抗体32を介在させて入力バッファ回路33が接続されている点である。この構成によれば、静電放電保護回路2によって、外部接続用パッド1から侵入するサージから出力回路3及び入力バッファ回路33をより確実に保護することができる。

【0094】なお、第2～第4の実施形態においても、本実施形態のように外部接続用パッド1に保護抵抗体32を介在させて入力バッファ回路33を接続することによって、静電放電保護回路2を出力回路3および入力バッファ回路33の保護回路として用いることができる。

【0095】上記第1～第5の実施形態及び変形例において、出力プリバッファ回路4は、PMISトランジスタ11に接続される第1のプリバッファ回路16と、NMISトランジスタ12に接続される第2のプリバッファ回路18とで構成したが、1つのプリバッファ回路で内部回路の信号の増幅を行い、最終段のプリバッファの出力端子をPMISトランジスタ11及びNMISトランジスタ12の各ゲートに接続する構成にしても良い。

【0096】

【発明の効果】以上述べてきたように、本発明の半導体集積回路装置によれば、ESD試験によって外部接続用パッドに正電荷を印加されても、出力プリバッファ回路のプリバッファの電源電圧供給用端子の電位が上昇しないので、出力回路のNMISトランジスタが静電放電保護回路のNMISトランジスタよりも先にON状態になるのを防止することができる。したがって、出力回路のNMISトランジスタが集中的に破壊されたり、耐圧低下を防止することができ、サージ耐圧を向上することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図である。

【図2】本発明の第2の実施形態の半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図である。

【図3】本発明の第3の実施形態の半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図であ

る。

【図4】本発明の第4の実施形態の半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図である。

【図5】本発明の第5の実施形態の半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図である。

【図6】本発明の第1の実施形態の変形例に係る半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図である。

【図7】従来の静電放電保護回路を有する半導体集積回路装置の出力回路及びその周辺の構成を示す電気回路図である。

【図8】(a)、(b)は、それぞれ順に、HMB試験規格によるESD試験を行うための評価回路の回路図、及びMIL規格によるHMB放電波形規定を示す波形図である。

【符号の説明】

- 1 外部接続用パッド
- 2 静電放電保護回路
- 3 出力回路

4 出力プリバッファ回路

5, 11, 25, 26, 27, 28 PMISトランジスタ

6, 12, 30 NMISトランジスタ

7 第1の抵抗体

8 第2の抵抗体

9, 13 寄生順方向ダイオード

10, 14 寄生逆方向ダイオード

15 第1のプリバッファ

10 16 第1のプリバッファ回路

17 第2のプリバッファ

18 第2のプリバッファ回路

19 電源ライン

20 接地ライン

21 内部回路

22 第1の電源ライン

23 第2の電源ライン

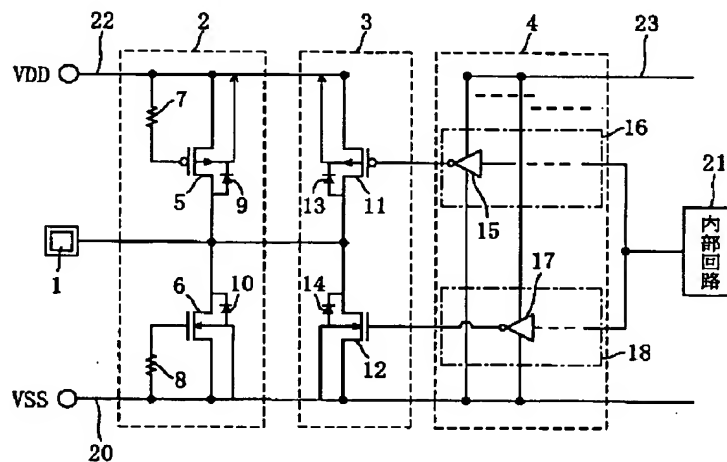
24 基板電位固定用電源ライン

29, 31 抵抗体

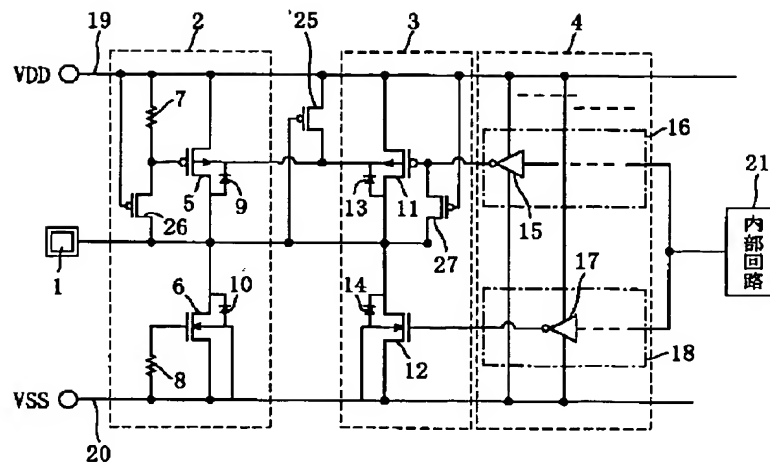
20 32 保護抵抗体

33 入力バッファ回路

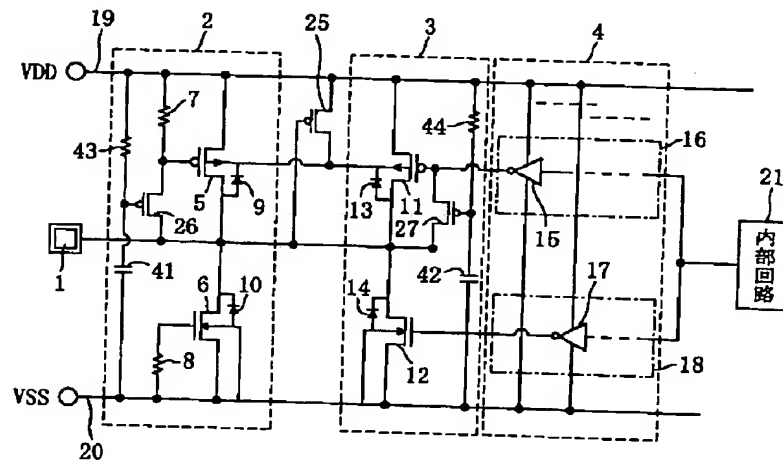
【図1】



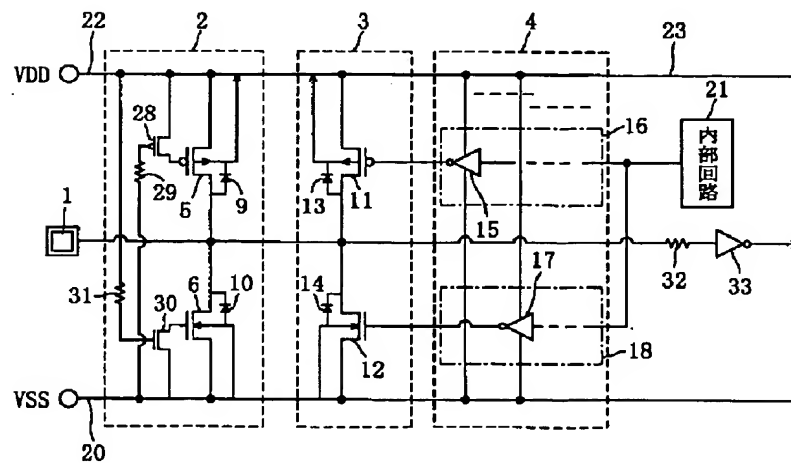
【図4】



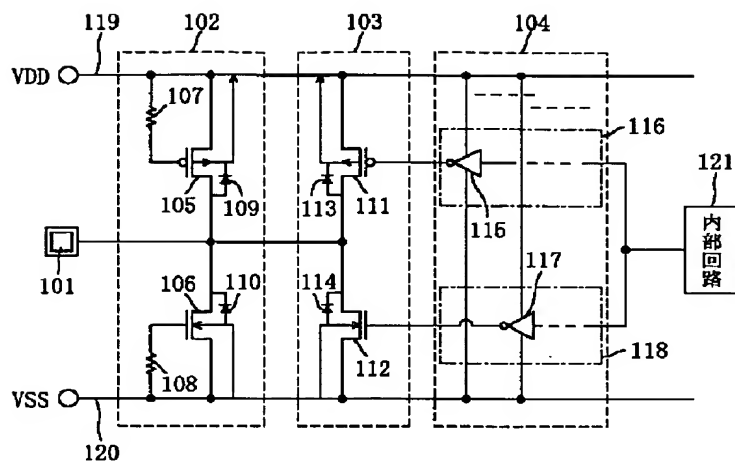
【図5】



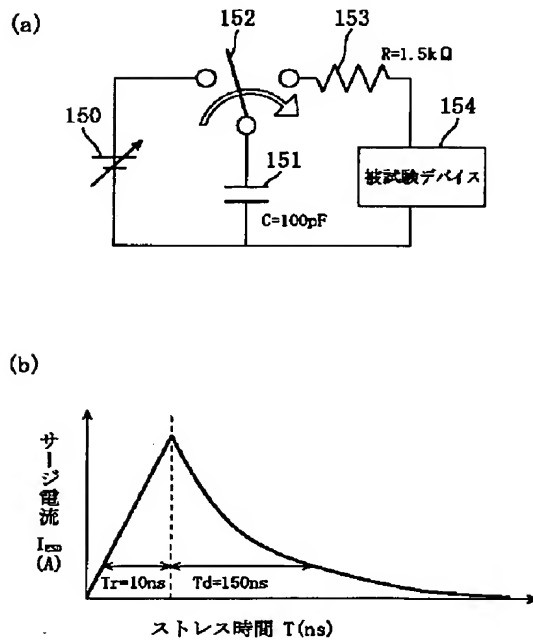
【図6】



【図7】



【図8】



フロントページの続き

Fターム(参考) 5F038 BH02 BH03 BH04 BH07 BH13
 CD02 CD03 CD04 DF01 DT15
 EZ20
 5F048 AA02 AB03 AC03 CC01 CC06
 CC09 CC16